

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-274960

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

G09G 3/28

(21)Application number : 09-081031

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.03.1997

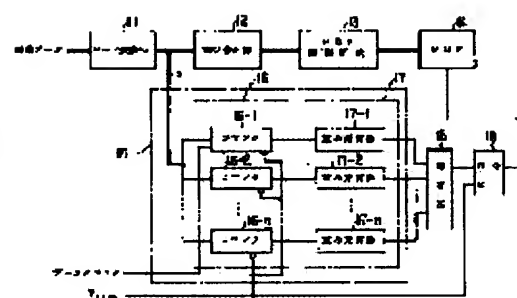
(72)Inventor : NAKANISHI TAKAHITO

## (54) DRIVING CIRCUIT FOR PLASMA DISPLAY PANEL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To execute power consumption control based on the display rate of a plasma display panel(PDP) with simple circuit constitution by providing a weighting adder and a PDP driving circuit controlling the driving power of the PDP based on an integrated value obtained by the weighting adder.

**SOLUTION:** A counter 16 integrates the digital data of each pixel in image data constituted of the digital data of the every pixel individually by every bit. The weighting adder 15 weights and adds the obtained result of the integration by every bit and the PDP driving circuit 13 controls the driving power of the PDP 14 based on the integrated value obtained by the adder 15. Since the digital data of each pixel is integrated individually by every bit by the counter 16, high-speed operation is executed with the simple constitution. Then, the result of the integration by every bit obtained by the adder 15 is weighted and added, so that the power consumption control of the PDP in accordance with the display rate is executed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-274960

(43)公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>6</sup>  
G 0 9 G 3/28

識別記号

F I  
C 0 9 G 3/28

K

審査請求 未請求 請求項の数 3 O.L (全 5 頁)

(21)出願番号 特願平9-81031

(22)出願日 平成9年(1997)3月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 發明者 中西 隆仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

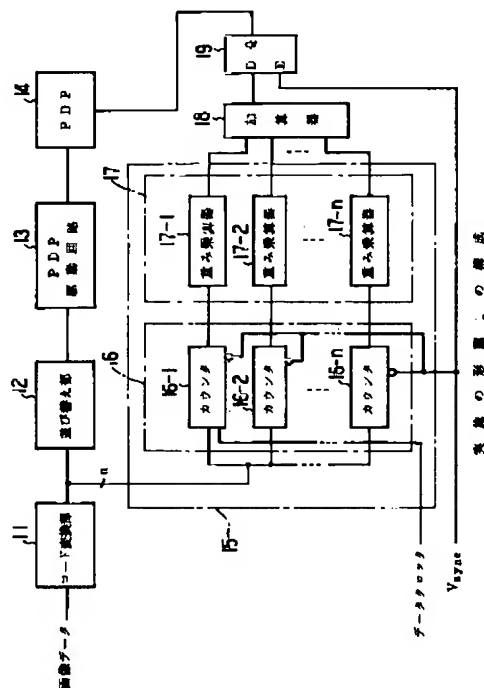
(74)代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 プラズマディスプレイパネルの駆動回路

(57) 【要約】

【課題】 高速のアダーを不要とし、画像データの積分値を得る。

【解決手段】 各画素毎のデジタルデータからなる画像データについて、そのビット毎の「1」をカウンタ16-1〜16-nでそれぞれカウントする。そして、重み乗算器17-1〜17-nで各ビットの大きさに対応する重みを演算し、加算器18でこれらを加算して積分値を得る。



**【特許請求の範囲】**

**【請求項1】** 画素毎のデジタルデータで構成される画像データにおける各画素のデジタルデータをビット毎に別々に積算するカウンタと、この加算器で得られたビット毎の積算結果を重み付け加算し、上記画像データの積分値を計算する重み付け加算器と、この重み付け加算器により得られた積分値に基づいて、プラズマディスプレイパネルの駆動電力が制御されるPDP駆動回路と、を有することを特徴とするプラズマディスプレイパネルの駆動回路。

**【請求項2】** 上記画像データについて、ガンマ補正に対応するコード変換処理を行うコード変換部をさらに有し、このコード変換部においてコード変換した後のデータを上記重み付け加算器に供給することを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動回路。

**【請求項3】** 上記画像データを構成する画素毎のデジタルデータは、それぞれがRGBの3つの別々のデジタルデータから構成され、上記加算器は、各画素のRGBのデジタルデータを各ビット毎に別々に積算することを特徴とする請求項1または2に記載のプラズマディスプレイパネルの駆動回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**本発明は、表示率に応じて駆動電力を制御するプラズマディスプレイパネルの駆動回路に関する。

**【0002】**

**【従来の技術】**従来より、フラットパネルタイプのディスプレイの1つとして、プラズマディスプレイパネル(PDP)が知られており、陰極線管(CRT)に代わるものとして注目されている。

**【0003】**このPDPでは、まず映像信号を画素毎のデジタルデータとする。ここで、各画素が、PDPにおける放電の単位である放電セルに対応する。そして、各放電セルの輝度制御は、1フィールドを階調数に対応したサブフィールド分け、各サブフィールドにおける発光、非発光を制御することによって行われている。例えば、各放電セルの輝度を表すデジタルデータが6ビットのデジタルデータ(64階調)であれば、1フィールドを6つのサブフィールドに分割し、各ビットの「1」「0」により各サブフィールドにおける発光、非発光を制御する。そして、各サブフィールドの時間を $2^5$ (MSB)～ $2^0$ (LSB)に設定することによって、各放電セルにおける輝度がデジタルデータに対応したものになる。

**【0004】**ここで、PDPにおいては、PDP全体の消費電力量を所定の範囲内の収めるために、表示率に応

じた消費電力量制御が行われている。すなわち、画面全体としての表示率が所定値以下の場合には、表示率に従って消費電力を上昇するが、表示率が所定値以上となっても消費電力が予め定めた最大消費電力以上にならないように各画素の輝度を抑制している。なお、この制御を通常APC(オート・パワー・コントロール)と読んでいる。

**【0005】**このような消費電力制御のためには、各フィールド(またはフレーム)における消費電力を求めなければならない。このための従来装置の構成を図5に示す。画素毎のデジタルデータ(例えば8ビット)は、アダー1に入力される。アダー1の出力は、データクロック(画素毎のデジタルデータに同期しているクロック)がクロック入力端に入力され垂直同期信号でリセットされるフリップフロップ2に入力される。このフリップフロップ2の出力は、アダー1に戻されると共に、垂直同期信号がE入力端に入力されるフリップフロップ3に入力される。

**【0006】**従って、フリップフロップ2には、アダー1での加算結果が記憶され、アダー1では前回の加算結果と今回の画素毎のデジタルデータの加算を行う。これによって、アダー1は、入力されてきた画素毎のデジタルデータを順次積算することになる。そして、フリップフロップ2は、垂直同期信号でリセットされるため、このリセットの直前には、1フィールド(またはフレーム)分のデジタルデータの総和(積分値)が記憶されることになり、垂直同期信号によってこの値がフリップフロップ3に記憶される。

**【0007】**このようにして、フリップフロップ3に得られる1フィールド分の積分値は、PDPにおける表示率に比例している。従って、この積分値に基づいて、PDPの駆動電力が制御されることで、消費電力制御が行われる。

**【0008】**なお、この種の表示率の検出及びこれに基づく消費電力制御については、特開平3-269482号公報、特開平3-182792号公報などに示されている。

**【0009】**

**【発明が解決しようとする課題】**しかし、上記のような消費電力制御においては、画素毎のデジタルデータをそのデータクロックに従って、順次積算していかなければならず、高速のアダー回路が必要となるという問題点があった。また、テレビジョン信号などは、画像データがガンマ補正が施されたものである。そこで、PDPで表示するための信号に直すために画像データに補正がなされた場合には、積分値が実際のPDPにおける表示率に比例しなくなり、正しい消費電力制御が行えないという問題点があった。

**【0010】**本発明は、上述のような課題を解決するためになされたもので、簡易な回路構成で正確な表示率に

基づくプラズマディスプレイパネルの駆動電力が行えるプラズマディスプレイパネルの駆動回路を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】この発明に係るプラズマディスプレイパネルの駆動回路は、カウンタが画素毎のデジタルデータで構成される画像データにおける各画素のデジタルデータをビット毎に別々に積算し、重み付け加算器がこの加算器で得られたビット毎の積算結果を重み付け加算し、PDP駆動回路がこの重み付け加算器により得られた積分値に基づいて、プラズマディスプレイパネルの駆動電力を制御するものである。

【0012】また、上記画像データについて、ガンマ補正に対応するコード変換処理を行うコード変換部をさらに有し、このコード変換部においてコード変換した後のデータを上記重み付け加算器に供給するものである。

【0013】また、上記画像データを構成する画素毎のデジタルデータは、それぞれがRGBの3つの別々のデジタルデータから構成され、上記加算器は、各画素のRGBのデジタルデータを各ビット毎に別々に積算するものである。

#### 【0014】

【発明の実施の形態】以下、この発明の実施の形態について、図面に基づいて説明する。

【0015】実施の形態1. 図1は、この発明の実施の形態1であるプラズマディスプレイパネルの駆動回路の構成を示すものである。画像データは、コード変換部11に入力される。ここで、この画像データは、画素毎の輝度を示すデジタルデータからなる。通常のテレビジョン信号であれば、アナログデジタル変換により、デジタルデータに変換されたもので、例えば画素毎に8ビット（すなわち256階調）の輝度を表す。

【0016】コード変換部11は、ガンマ補正が行われている画像データについて、このガンマ補正に対応する処理を行う。すなわち、通常のテレビジョン信号では伝送されている信号自体がガンマ補正が行われている信号である。一方、プラズマディスプレイにおいては、ガンマ補正は不要である。そこで、ガンマ補正を解除する補正が必要であり、コード変換部11においてこのコード変換の処理を行う。このコード変換部11によりコード変換を受けた画像データは、並び替え部12に供給される。この並び替え部12は、供給される画素毎のデータ（例えば8ビットの輝度データ）をPDPの放電セル駆動用の書き込みデータに並び替える。すなわち、PDPの駆動は、1画素のデジタルデータの各ビットに対応するサブフィールド毎に行う。このため、PDP駆動回路13は各ビットのデータを1フィールド分ずつ利用してPDP14を駆動しなければならない。また、その表示は、必ずしもMSBからLSBに向かう順番に行われるわけではない。そこで、並び替え部12が、このような

並び替えの処理も行う。

【0017】次に、コード変換部11で得られた1サブフィールド分の書き込みデータは、PDP駆動回路13に供給される。このPDP駆動回路13は、PDP14の複数の電極に接続されている。すなわち、PDP14は、水平走査方向にX、Yの2つの電極を水平走査ライン分だけ有しており、また垂直方向に水平方向の放電セル分だけアドレス電極を有している。そして、PDP駆動回路13は、アドレス電極とY電極により各放電セル毎に書き込みデータに基づくデータの書き込みを行う。これによって、データが「1」であった放電セルにのみ壁電圧を付与する。そして、その後X電極とY電極に交互に電圧を印加し、壁電圧が付与されていた放電セルのみを放電発光させる。

【0018】そして、この実施の形態においては、1フィールド当たりの表示率を計算しておき、この表示率に基づき、輝度を決定しPDP14における消費電力を制御する。すなわち、図2に示すように、表示率が一定値D0に至るまでは、輝度を一定値L0とする。そして、表示率がD0以上になった場合には、輝度を消費電力が一定値になるように減少させる。これによって、消費電力は、図3に示すように、表示率D0以上では、消費電力が最大消費電力P0に固定される。なお、輝度の制御は、例えば各サブフィールドにおける維持パルス数を図2の特性に基づいて制御することによって行う。

【0019】そして、この実施の形態においては、コード変換部11におけるガンマ補正が解除された画素毎のデジタルデータが重み付け加算器15に入力される。この重み付け加算器15は、入力されるデジタルデータのビット数（nビット：例えば8ビット）に対応する数のカウンタ16-1～16-nを有している。そして、これらカウンタ16-1～16-nは、デジタルデータの各ビット位置に対応しており、各ビットのデータ「1」をカウントする。すなわち、カウンタ16-1は、1フィールド分の画像データのMSBが「1」であるデータの数をカウントする。そして、カウンタ16-2、・・・はそれぞれ次の下位ビットにおけるデータ「1」をカウントし、カウンタ16-nがLSBにおけるデータ「1」の数をカウントする。ここで、カウンタ16-1～16-nは、画素毎のデジタルデータの入力に同期したデータクロックをクロック入力端に受け、垂直同期信号をリセット単に受ける。従って、カウンタ16-1～16-nは、1フィールド分の画素毎のデジタルデータについて各ビット毎のデータ「1」の数をカウントすることになる。

【0020】カウンタ16-1～16-nの出力は、重み乗算器17-1～17-nにそれぞれ入力され、ここで重みがそれぞれ乗算される。この場合の重みは、 $2^n \sim 2^0$ である。重み乗算器17-1～17-nの出力は、加算器18に入力される。この加算器は、重み乗算

器17-1~17-nから供給される値を加算する。これによって、加算器18の出力において、画素毎にデジタルデータ積算値が得られる。そして、この加算器18の出力は、垂直同期信号をE入力端に受けるフリップフロップ19に供給される。従って、このフリップフロップ19は、1フィールド分の画素毎のデジタルデータの積算値(積分値)を取り込むことになる。

【0021】なお、上述の説明では、画素毎のデジタルデータのすべてのビットを考慮した積算値を演算算出した。しかし、積算値への影響を考えると、下位ビットの演算を省略してもほとんど問題はない。そこで、積算値に許される誤差の程度に応じて下位ビットに対応する構成を省略することも好適である。例えば、デジタルデータが8ビットであれば、上位6ビット分のカウンタ16、重み乗算器17を設けるとよい。さらに、カウンタ16、重み乗算器17自体は、すべてのビット(または必要な最大ビット数)に対応して設けておき、加算器18において、必要なビット数分の加算を行うことも好適である。また、重み乗算器17は、カウンタ16の個数に対応して設けなくてもよく、時間的に2回に分けて演算したり、1つのかけ算器で構成してもよい。

【0022】このようにして、この実施の形態においては、フリップフロップ19において、1フィールド分の輝度の積分値を得ることができる。特に、この構成では、カウンタにより、データ「1」をカウントするため、高速のアダー等が不要であり、回路規模を小さくしてかつ高速の処理が可能となる。また、コード変換された後の画素毎のデジタルデータを利用して、積分値を求めるため、その積分値が正確なものとなり、より正確な消費電力制御が行える。

【0023】実施の形態2. 図4に実施の形態2の構成を示す。この実施の形態2は、画像データがRGBカラー信号であった場合の構成であり、各画素がR(nビット)、G(nビット)、B(nビット)のデジタルデータからなっている。そして、カウンタ16-1~16-nのそれぞれが、図2に示すように、論理回路20とステップ可変加算器21からなっている。

【0024】すなわち、論理回路20には、画素毎のデジタルデータの所定ビット目のデータが入力されるが、このデータがRGBのそれぞれ1ビットからなっている。論理回路20は、これら個別に入力されてくる3ビットのデータの状態から、1つが「1」の時に+1を示す信号、2つが「1」の時に+2を示す信号、3つが「1」の時に+3を示す信号を出力する。そして、この信号がステップ可変加算器21に入力される。ステップ可変加算器21は、論理回路20からの信号に応じて、1または2または3だけカウントアップする。従って、ステップ可変加算器21において、1画素の該当ビット目におけるRGBの各データのいくつが「1」であるかの値が得られる。

【0025】そして、このステップ可変加算器21の出力が図1における重み乗算器17に供給される。このため、フリップフロップ19において、RGB全てを考慮した輝度の積分値が得られる。従って、PDP駆動回路13において、カラーPDPの表示率に基づく消費電力制御が行える。

【0026】なお、カラーのPDP14は、放電セルとして、RGBそれぞれに対応するものを有している。すなわち、RGBそれぞれの蛍光膜が形成された放電セル(3つの放電セル)がカラーの1画素に対応づけられており、それぞれがRGBデータに基づいて、発光することで、カラー表示を行っている。画像データがRGBのそれぞれの輝度データとして入力されてくるため、処理自体はモノクロームの場合と同様である。

【0027】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0028】カウンタにより画素毎のデジタルデータで構成される画像データにおける各画素のデジタルデータをビット毎に別々に積算するので、簡単な構成で高速の演算が行える。そして、その後重み付け加算器によりこの加算器で得られたビット毎の積算結果を重み付け加算するので、積分値を簡単な回路で得ることができ、高速のアダーなどが不要となる。

【0029】また、ガンマ補正に対応するコード変換処理を行うコード変換部においてコード変換した後のデータを重み付け加算して積分値を得るため、この積分値が正確に表示率を示す(比例する)ものになる。

【0030】また、上記画像データを構成する画素毎のデジタルデータは、それぞれがRGBの3つの別々のデジタルデータから構成され、上記加算器は、各画素のRGBのデジタルデータを各ビット毎に別々に積算するものである。このようにして、RGBのカラー信号の場合でも各ビット毎の輝度を積算することができ、これに基づいて表示率に応じたPDPの消費電力制御を行うことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の構成を示すブロック図である。

【図2】 表示率と輝度の関係を示す図である。

【図3】 表示率と消費電力の関係を示す図である。

【図4】 この発明の実施の形態2の構成を示すブロック図である。

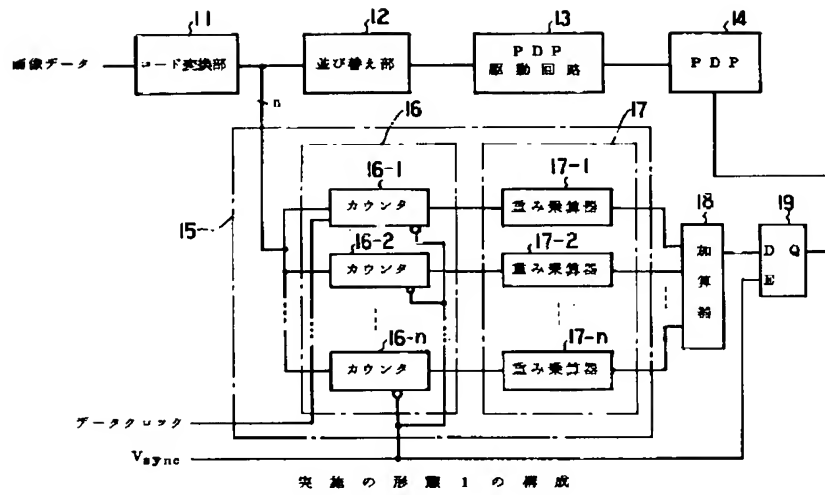
【図5】 従来の構成を示すブロック図である。

【符号の説明】

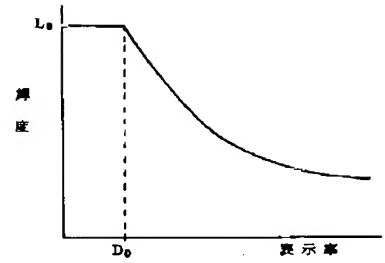
11 コード変換部、12 並び替え処理部、13 PDP駆動回路、14 PDP、15 重み付け加算器、16(16-1~16-n) カウンタ、17(17-1~17-n) 重み乗算器、18 加算器、19 フリップフロップ、20 論理回路、21 ステップ可変加

算器。

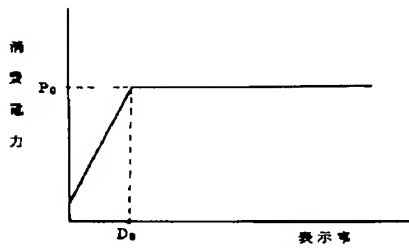
【図1】



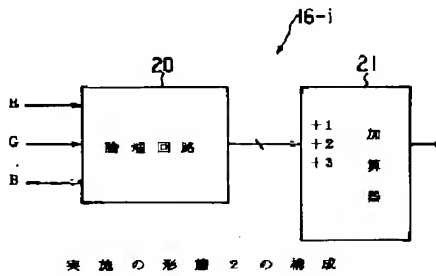
【図2】



【図3】



【図4】



【図5】

